

文章编号:1007-2780(2009)02-0288-06

基于 FPGA 的中尺寸数字 TFT-LCD 测试装置设计

洪俊杰, 吴贵兴, 黄显甫, 吴育良

(天马微电子股份有限公司, 广东 深圳 518118, E-mail: yuliang_wu@tianma.cn)

摘 要: 介绍了一种以 FPGA 为核心器件的中尺寸数字 TFT-LCD 面板测试装置的硬软件设计方案及实现, 重点描述了驱动时序发生、 V_{COM} 和 Gamma 参考电压产生以及按键 PWM 调光功能模块的硬软件设计。通过软件时序仿真及实验验证, 该测试装置能清晰、稳定地显示单色、灰阶、Cross-Talk 和 Flicker 等常见的 TFT-LCD 测试画面, 具有使用灵活、通用性好和可移植性强的优点, 能很好地满足实际生产中不良品检测、光学性能测试与分析的需要。

关 键 词: 液晶显示; FPGA; 时序控制; 中尺寸; 测试
中图分类号: TN27; TN702 **文献标识码:** A

1 引 言

TFT-LCD 具有低电压、低功耗、无辐射、平板化等优点, 且能够实现高分辨率、高清晰度和全彩色的视频显示^[1, 2], 目前被广泛应用于手机、PDA 等便携式电子产品和车载、医疗等工业领域。在 TFT-LCD 面板设计与生产中, 性能测试是最重要的环节之一。目前, 8.9 cm(3.5 in)以下的小尺寸 TFT-LCD 大多采用单芯片驱动方案, 即时序控制、灰阶电压产生器、Source 和 Gate 驱动、升压等功能单片集成^[2-5], 驱动时钟频率较低、速度慢, 所以其性能测试通常采用以单片机或 ARM 为核心器件的测试平台^[6, 7]。但在 12.7 cm(5.0 in)以上的中尺寸数字 TFT-LCD 设计方案中, 基于目前的 TFT-LCD 面板设计、驱动芯片设计和制造工艺水平的限制以及终端控制灵活性等方面考虑, 把时序控制器、 V_{COM} 和 Gamma 参考电压产生电路^[8]单独置于 Gate 和 Source 驱动芯片外部已成为主流方案。以单片机或 ARM 为核心的测试平台在灵活性、速度等方面达不到高速驱动显示的要求, 因此常见的测试方法是采用带有 T-CON 功能的驱动板通过 VGA 接口, 将计算机中测试画面数据加载并驱动 TFT-LCD 显示来达到测试目的。这种方法效率低、成本高且使用不方便, 其 T-CON 输出时序一般固化在硬件系统中^[9], 时序参数不可调, 对于不同分辨率的

TFT-LCD 屏, 使用时受到很大限制。FPGA 是一种强大的可编程逻辑器件^[10], 在不改变硬件电路的基础上, 只需修改软件就可以实现复杂逻辑和时序, 且速度快、接口资源丰富、设计灵活、开发周期短, 是较好的中尺寸数字 RGB 接口驱动显示解决方案。

2 系统设计

所设计的测试装置整合了 V_{COM} 和 Gamma 参考电压产生、PWM 调光、时序产生与控制以及测试画面数据产生 4 种功能。无须修改硬件系统, 通过软件编程即可产生不同分辨率的 TFT-LCD 屏驱动时序和各种测试画面。这里以分辨率为 $480 \times 800 \times 3$ (RGB) 的 17.8 cm(7.0 in) 数字屏为例介绍该测试装置的设计方案及实现方法, TFT-LCD 屏的 Source 和 Gate Driver 芯片分别选用 HX8232 和 HX8643, 为点反转驱动方式。

2.1 硬件设计

测试装置硬件架构方框图如图 1 所示, 主要由 FPGA 显示及控制模块、 V_{COM} 和 Gamma 参考电压产生模块、LED Driver 模块、电源模块以及按键控制模块构成。FPGA 选用 Altera 公司的低成本 Cyclone 系列芯片 EP2C5Q208C8N; FPGA 上电专用配置芯片采用 Altera 公司的 EPCS4; V_{COM} 和 Gamma 参考电压发生器采用 TI 公司的精准可编程芯片 Gamma Buffer; LED

Driver 采用 SEMTECH 公司的高功率恒流驱动芯片;TFT-LCD 正常工作需要的模拟电压 V_{GH} 、 V_{GL} 和 AV_{DD} 由 TI 公司的 DC/DC 芯片产生;系统工作需要的 12 V、5 V、3.3 V 电压由稳压电源提供。按键控制模块由 3 个按键开关及滤波电路组成,用来控制背光的亮暗以及测试画面的选择。

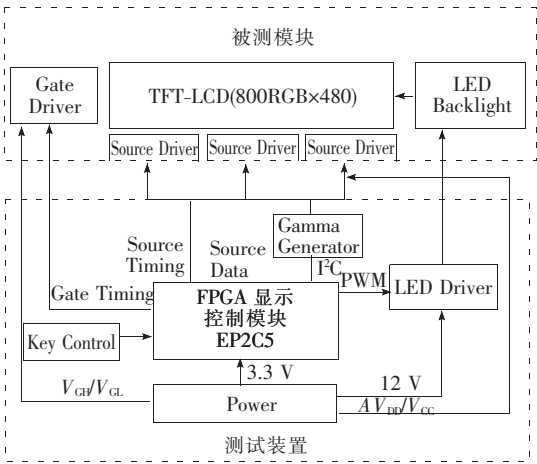


图 1 系统硬件架构方框图

Fig. 1 Block diagram of the system hardware

系统的工作过程:(1)系统上电时,FPGA 首先从外部配置芯片 EPCS4 中读取配置数据,完成自身的程序加载,进入工作模式;随后通过 I²C 控制单元完成对 Gamma Buffer 初始化,传输 Gamma 参考电压及 V_{COM} 电压数据;(2)系统启动后,FP-GA 产生满足 Gate 和 Source 驱动要求的时序信号以及各种测试画面数据,同时通过循环扫描的方式侦测外部按键的状态,实时调整 PWM 占空比

大小,控制 LED 背光的亮暗以及测试画面的选择与暂停。

2.2 系统软件设计及实现

FPGA 是整个显示和控制系统的核心,利用自顶向下的层次化设计方法,分别设计了其内部各逻辑模块,程序由 Verilog HDL 硬件描述语言^[11]编写。系统软件主要由 5 个功能模块构成:时钟产生模块、Gate 与 Source Timing 产生模块、PWM 调光模块以及 V_{COM} 和 Gamma 参考电压数据产生与传输模块。其架构方框图如图 2 所示。

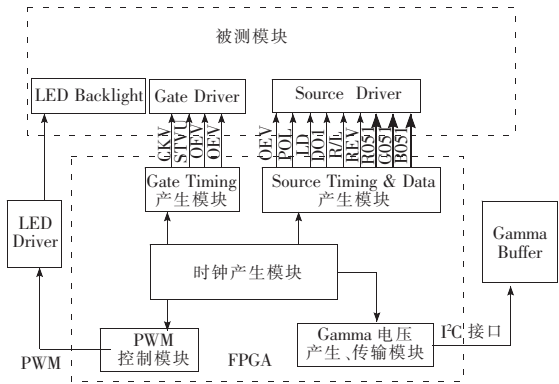


图 2 系统软件模块架构方框图

Fig. 2 Block diagram of the system software module

2.2.1 时钟产生模块

时钟产生模块由 FPGA 内部锁相环 PLL 单元将输入的 25 MHz 晶振时钟经倍频和分频后产生 32 MHz 和 10 MHz 时钟,提供 Gate 与 Source 驱动时序以及 PWM 调光模块的基准时钟。I²C 通信的基准时钟 100 kHz 由 10 MHz 时钟一百分频产生,部分程序源代码如下:

```
always @ (posedge clk_10M or negedge reset )
    if(! reset)
        begin clk_100k<=1'b0; counter<=6'h00; end
    else
        if (counter==49)    begin    counter<=6'h00; clk_100k<=~clk_100k; end
        else
            counter<=counter+1;
```

2.2.2 Gamma 电压产生和传输模块

I²C 总线系统由 2 根总线即串行数据线(SDA)和串行时钟线(SCL)组成。该模块主要功能是模拟 I²C 协议通信^[12],对可编程 Gamma Buffer 寄存器单

元进行初始化,传输 V_{COM} 以及 14 路 Gamma 参考电压数据,主要由开始条件模块、停止条件子模块和字节发送模块构成。程序的流程图如图 3 所示,利用状态机发送一个字节数据部分程序代码如下:

```
case (shift_bit_state)           //移位状态变量
    shift_bit7_state:           //移位 bit7 状态
        if(! SCL)
            begin link_sda <= 1'b1; link_write<= 1'b1; shift_bit_state <= shift_bit6_state; end
        else shift_bit_state <= shift_bit7_state;
    shift_bit6_state:
        if(! SCL)
            begin link_sda <= 1'b1; link_write <= 1'b1; shift_bit_state <= shift_bit5_state;
                send_byte_buf <= send_byte_buf<<1; // send_byte_buf 是字节发送缓存寄存器
            end
        else      shift_bit_state <= shift_bit6_state;
                .....
    shift_bit0_state:
        if(! SCL)
            begin shift_bit_state <= shift_end_state; send_byte_buf <= send_byte_buf<<1;
        end
        else      shift_bit_state <= shift_end_state;
    shift_end_state:              //移位结束状态
        if(! SCL)
            begin link_sda <= 1'b0; link_write <= 1'b0; end
            else      shift_bit_state <= shift_end_state;
        endcase
```

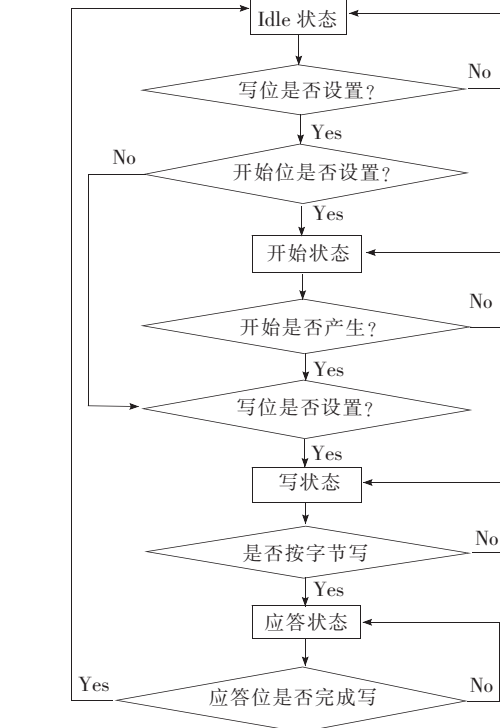


图 3 I²C 通信写数据程序流程图

Fig. 3 Flow chart of I²C communication of write-data

2. 2. 3 PWM 调光模块

PWM(Pulse Width Module,脉宽调制)调光技术主要是利用 PWM 占空比与输出电流成正比的关系,即当占空比增大,输出电流增大;当占空

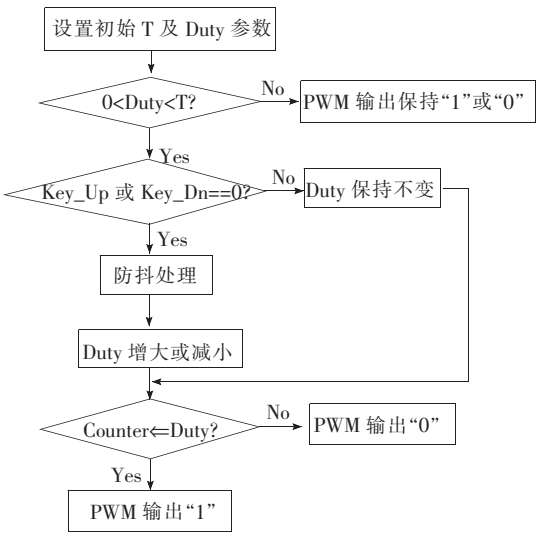


图 4 PWM 占空比按键可调程序流程图

Fig. 4 Flow chart of PWM duty cycle dimming by keys

比减小时,输出电流也随之减小,通过改变 PWM 占空比的大小来调整 LED 背光的电流大小,实现控制背光的亮暗。PWM 调光模块通过计数的方法产生频率为 1 kHz,占空比通过按键 100 阶可调。程序流程图如图 4 所示,其中 T 和 Duty 分别为 PWM 信号

一个周期时间内基准时钟计数值和高电平持续时间计数值;Key_Up 和 Key_Dn 分别为 LED 背光亮暗控制按键,可以改变占空比参数 Duty 的大小,且低电平有效;Counter 为寄存器类型变量,用来计数。PWM 调光模块部分程序源代码如下:

```
always @(posedge clk_32M or negedge rest )
    if (! rest)
        begin pwm<=1'b0; Counter<=14'h00; end
    else
        if ((Duty<=T-100)&&(Duty>=100))
            begin
                if(Counter<=Duty)
                    begin pwm<=1'b1; Counter<=Counter+1'b1;      end
                else if ((Duty<Counter)&&( Counter<=T))
                    begin    pwm<=1'b0; Counter<=Counter+1'b1; end
                else
                    Counter <=1'b0;
            end
        else if (Duty<100)
            begin    Counter<=0; pwm<=1'b0; end
        else
            begin    Counter <=0; pwm<=1'b1; end
```

2.2.4 Gate & Source Timing 及数据产生模块

Gate & Source Timing 及数据产生模块是整个软件程序核心部分,主要为显示器件提供高速时钟信号、扫描控制信号以及图像数据。实现算法为:以时钟模块输出 32 MHz 时钟,即 Source Driver 芯片输出数据时钟为基准时钟,通过计数的方法控制各驱动信号高低电平持续时间,实现分频、锁相以及频率综合,输出严格满足 Gate 和 Source 驱动芯片要求的时序信号。不同分辨率的

TFT-LCD 以及不同型号的驱动芯片,各驱动时序信号的相位及频率有所不同。正确的画面显示需要严格按照时序要求,将测试画面数据叠加到信号的有效数据位置,并根据实际需要设置画面的保持时间。

图 5 是在 Quartus II 软件开发环境中, Gate、Source 驱动时序及送红色测试画面数据时的部分时序仿真图,因一帧图像仿真时间过长,为清楚完整地展示一帧图像驱动时序,仿真时设置计数满

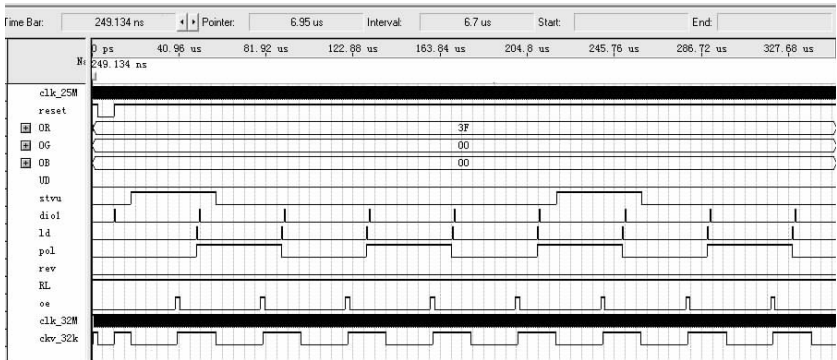


图 5 驱动时序及数据仿真图

Fig.5 Timing sequence by simulator

5 行后,输出一个起始脉冲 stvu,表示下一帧画面的开始。仿真时序图中 clk_25M 为系统的晶振输入时钟 25 MHz;ckv_32k、stvu、oe、UD 分别为 Gate 驱动时序信号中行移位时钟、帧开始信号、行输出使能信号、上下扫描方向控制信号;clk_32M、dio1、pol、ld、rev、RL 分别为 Source 驱动时序信号中列移位时钟、行开始信号、极性反转控制

信号、列输出使能信号、数据反转信号、左右扫描方向控制信号,其中行列移位时钟频率分别为 32 kHz 和 32 MHz。这里以产生 ld 信号为例,程序源代码如下,其中 ld_start 和 ld_h 为 ld 信号高电平开始计数和结束计数时的参数,ld_end 为 ld 信号一个周期结束时的计数参数,这些参数根据不同 Gate 和 Source 驱动芯片的要求而有所不同。

```
always @ (posedge clk_32M or negedge reset)
    if (! reset)
        begin ld_count<=11'h0; ld<=1'h0; end
    else
        begin
            if(ld_count<=(ld_start-1) )
                begin ld<=1'h0; ld_count<=ld_count+1'h1; end
            else if (((ld_start-1)<ld_count)&&(ld_count<=(ld_h-1)))
                begin ld<=1'h1; ld_count<=ld_count+1'h1; end
            else if (((ld_h-1)<ld_count)&&(ld_count<=(ld_end-2)))
                begin ld<=1'h0; ld_count<=ld_count+1'h1; end
            else
                begin ld<=1'h0; ld_count<=11'h0; end
        end
    end
```

3 测试画面的实现

正确测试画面的显示要严格按照 Gate 和 Source 驱动时序的要求,将测试画面数据叠加到

有效数据位置。图 6 为测试装置显示红色、RGB 和黑白 16 灰阶、棋盘及 Cross-Talk 测试画面实际效果图,可以看出,该系统可以很好地显示测试画面。

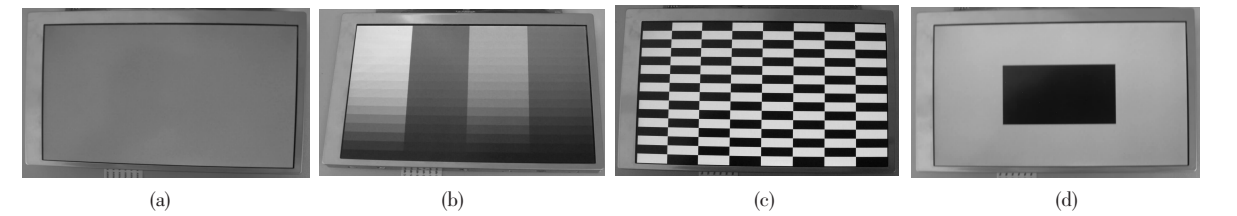


图 6 红色、16 灰阶、棋盘及 Cross-Talk 画面显示效果图。
Fig. 6 Display results of pure red,16 gray scales, gridiron and cross-talk patterns.

4 结 论

设计了一种以可编程逻辑器件 FPGA 为核心的中尺寸数字 TFT-LCD 测试装置,能很好地显示测试画面,时序仿真和实验结果验证了该方案的可行性。对于不同分辨率的 TFT-LCD,只

需改变 FPGA 内部 Source 和 Gate Timing 软件模块计时及延时等技术参数,就可以显示常见的测试画面。该测试装置具有控制灵活、通用性好、可移植性强、成本低以及使用方便的优点,同时也为中尺寸数字 RGB 接口驱动提供了一种较好的解决方案。

参 考 文 献:

[1] [日]堀 浩雄,铃木幸治. 彩色液晶显示 [M]. 金振裕,译. 北京:科学出版社,2003.

[2] 崔福胜,魏延存,魏晓敏,等. 手机用 TFT-LCD 驱动芯片接口电路的研究与设计 [J]. 液晶与显示,2007,4(22): 492-493.

[3] Kim Bo-Sung, Kim Young-Gi, Hong Soon-Yang. Low power 260k color TFT-LCD one-chip driver IC [J]. *ETRI Journal*,2003, 25(5):288-296.

[4] 李瑛,魏延存,李盛兵,等. 手机用 TFT 彩色液晶显示驱动芯片的可配置接口电路设计 [J]. 微电子学与计算机, 2006,23(5):46-49.

[5] 高武,魏延存,张萌. 手机用 TFT-LCD Source Driver 电路模块研究与设计 [J]. 液晶与显示,2006,21(2):50-55.

[6] 纪宁宁,孙灵燕. S3C2440A 驱动 RGB 接口 TFT LCD 的研究 [J]. 液晶与显示,2008,23(1):96-100.

[7] 张义磊,安吉宇,仲崇亮,等. ARM 芯片 S3C2410 驱动 TFT-LCD 的研究 [J]. 液晶与显示,2005,20(1):61-66.

[8] 李维諲,郭强. 最新液晶显示应用 [M]. 北京:电子工业出版社,2006:346-347.

[9] 奇景光电股份有限公司. HX8819 product specification[R]. 台南:奇景光电股份有限公司, 2006:1-19.

[10] 王诚,吴继华,范丽珍,等. Altera FPGA/CPLD 设计(基础篇) [M]. 北京:人民邮电出版社,2006.

[11] Samir Palnitkar. Verilog HDL 数字设计与综合 [M]. 北京:电子工业出版社,2006.

[12] 刘韬,楼兴华. FPGA 数字电子系统设计与开发实例导航 [M]. 北京:人民邮电出版社,2005:84-106.

Design of Medium Size Digital TFT-LCD Test Device Based on FPGA

HONG Jun-jie, WU Gui-xing, HUANG Xian-fu, WU Yu-liang
(Tianma Microelectronics Co. Ltd., Shenzhen 518118, China, E-mail:yuliang_wu@tianma.cn)

Abstract

Design solution and implement of medium size digital TFT-LCD panel test device based on FPGA are introduced. Key points and implement of hardware and software design, for driver timing generator, V_{COM} and Gamma reference voltage generator and PWM dimming with keys, are described in detailed. It is verified, by the timing simulation and experiment that the test device can display monocolour, gray scales, cross-talk, flicker common patterns clearly and steadily, and can meet needs in the production for the defect detection, optical performance test and analysis. It is flexible to use, and easy to transplant.

Key words: liquid crystal display; FPGA; timing control; medium size; test

作者简介:洪俊杰(1981—),男,湖北黄冈人,硕士,工程师,从事 TFT-LCD 驱动技术、嵌入式系统设计研究。